

大容量ルータへの道を拓く超高速超電導パケットスイッチを開発

平成16年4月13日

(財)国際超電導産業技術研究センター

超電導工学研究所

(財)国際超電導産業技術研究センター(理事長:荒木浩)超電導工学研究所は、このたび半導体パケットスイッチに比べて約100倍の40GHzクロックで動作する4×4超電導パケットスイッチを開発しました。今回5mm角のチップ上で得られた160Gbps^(注1)というスイッチ容量は、スイッチ容量だけで比較すれば市販されているハイエンドルータの最大容量とほぼ同等であり、今後規模を拡大することで半導体の限界をブレークスルーする大容量パケットスイッチの実現が可能になります。

今回の成果は「低消費電力型超電導ネットワークデバイスの開発」事業として新エネルギー・産業技術総合開発機構(NEDO)の委託により行われたものです。

インターネットの普及により私たちのライフスタイルは一変しました。欲しい情報が簡単に手に入り、ブロードバンド化により画像もスムーズにやり取りできるようになりました。将来はビジネスにおいても家庭においても、もっと便利にネットワークが使えるようになると多くの人が思っています。しかし、その裏で情報通信量は年率2倍から3倍の猛烈な勢いで増加しています。この勢いが続くと2010年には基幹系に置かれるルータの容量を数十Tbpsに高める必要があると予想されています。しかし、新技術の導入なしではこの容量達成は難しい状況です^(注2)。ルータ容量が不足すれば、通信の停滞が起こり、結果として私たちはネットワークの便利な使い道の多くをあきらめざるを得なくなります。

ハイエンドルータと呼ばれる基幹系に置かれる容量の大きなルータは、通常ラインカードとスイッチカードと呼ばれる部分から構成されています。ラインカードはパケットの前処理を行うプロセッサであり、スイッチカードはパケットの行き先をアドレスに従い切り替えるスイッチです。ラインカードはポート毎に別モジュールで処理することが可能ですので、ポート数が増えても対応できます。一方、スイッチカードは全てのラインカードからのパケットが集中するため、接続するラインカードの数が増えればそれに比例して処理量が増加します。

マイクロプロセッサは一部の回路のクロックだけをローカルに上げることにより性能向上ができますが、スイッチカードの性能を向上するには回路全体のクロックを上げる必要があります。このため、半導体スイッチカードのクロックは現状数百MHzに留まっており、10Gbps等の高速パケット処理において、データを並列展開して処理しています。並列展開はハードウェア量の増大をまねき、総消費電力の増大、回路の発熱と実装におけるピンネックが深刻となり、結果として接続できるラインカード数が制限されます。このことが半導体ルータ大容量化の一つの障害になっていました。

1台のルータで必要とされる容量に達しない場合は、複数のルータを接続して容量を増加させま

す。しかし、この方法はルータ同士の内部接続が必要なため、 n 倍の容量を得るために単純には n の2乗、工夫しても $n \log n$ の台数が必要になります。このため、必要とされる容量と1台で実現できる容量の差が開けば開くほど多数のルータが必要になり、膨大なコストと消費電力が必要となります。この問題は基幹系ルータ最大容量が40Tbpsとなる2010年には深刻となり、100Tbpsに達するその数年後には従来技術の延長線だけでこの容量をまかなうことは事実上不可能となります。このため、通信停滞を防止するには、この時代を見据えて今から革新的な技術を用いて大容量ルータを開発していくことが重要となります。

今回開発したパケットスイッチは、超電導スイッチカードの基本回路です。超電導技術でスイッチカードの処理能力を大幅に向上しこれに多数の半導体ラインカードを接続することにより、従来技術の限界を大きく越える数十Tbpsから数百Tbpsの大容量ルータが可能となります。これにより将来危惧されている通信停滞を解決することができると考えています。

この超電導パケットスイッチは磁束の最小単位である単一磁束量子(英語名のSingle Flux Quantumの頭文字からSFQと呼ばれる)一個一個を操作して情報を処理するSFQ回路^(注3)と呼ばれる技術を利用したものです。半導体と異なる原理で動作するため、数十GHzという高速で動作しても消費電力が極めて小さく、発熱の心配なしに集積できることが特徴です。このため並列展開の必要がなく、少ない回路で大量のデータが処理でき、ピンネックの問題からも解放されます。

パケットスイッチは基本となる 2×2 スイッチとそれらを相互に結合する技術があれば、実用レベルまでスケラブルに拡張することができます。今回開発したSFQ 4×4 スイッチはその両方の技術を従来に比べ飛躍的に向上させました。

なお、本SFQ 4×4 スイッチが開発された技術背景は、次の通りであります。

- (1) 基本となる 2×2 スイッチを相互に接続する配線にPTL(Passive Transmission Line)と呼ばれる技術を使用しました。PTLは基板上を光と同じ速度で減衰なしにSFQを伝送できる理想的な配線ですが、数十GHzの高周波ではインピーダンスミスマッチによる反射が起こるといった問題点がありました。今回この問題点を解決する設計スキームを開発し、PTLを用いて 2×2 スイッチ間を結合し、高速の信号伝送を可能としました。これにより配線遅延を1/10に縮小することができました。
- (2) 論理回路図からSFQ回路のレイアウトを自動的に生成する自動配置配線ツールを用いて 2×2 スイッチの設計を行いました。このツールはフロークロッキング法という非同期回路設計法に基づいて40GHzクロックにおけるタイミング制約を遵守しながらSFQゲートの配置とゲート間の配線を自動的に行うもので、ジョセフソン接合^(注4)を10万個以上使用した回路のレイアウトも可能です。これまでのマニュアル設計手法に比べて飛躍的に回路規模を向上させることができます。
- (3) 産官学連携のもとで構築されたセルライブラリCONNECT^(注5)を利用しています。CONNECTにはすでに250種類のセルが登録されており、あらゆる論理回路の設計が可能になっています。
- (4) 超電導工学研究所のニオブ系プロセスライン(NEC筑波研究所内に設置)を使用して回路の試作を行いました。このプロセスラインは現在世界で最も信頼性の高いSFQ回路製造

ラインとされています。

超電導工学研究所では、今回の成果により、SFQパケットスイッチの開発が加速されるものと考えており、今後SFQパケットスイッチの大規模化とSFQスケジューラなどの制御回路の開発を推進することにより大容量超電導パケットスイッチの実現を目指して研究開発を強化していく計画であります。

なお、今回の成果につきましては、4月18日から21日まで、米国アリゾナ州フェニックスで開催されるルータ関係の国際会議HPSR(IEEE Workshop on High Performance Switching and Routing)において、19日に発表する予定です。

<本件に関するお問い合わせ先>

超電導工学研究所 デバイス研究開発部低温デバイス開発室 室長

日高 睦夫

電話 029-849-0707

E-mail hidaka@istec.or.jp

超電導工学研究所 デバイス研究開発部 部長

田辺 圭一

電話 03-3536-5701

E-mail tanabe@istec.or.jp

(注1)bps

bpsはビット・パー・セカンドの意味で1秒間あたりのデータ量を表す単位です。Gはギガを意味しており、 10^9 (=10億)です。Tはテラを意味しており、 10^{12} (=1兆)です。

(注2)従来ルータのスイッチ容量

半導体を使用した現在最大容量のルータは、1シャーシあたり10Gbpsポートが48本接続できる仕様になっているため、スイッチ容量は480Gbpsです。これまで半導体ルータのスイッチ容量はCMOS回路のクロック周波数の伸びに従って向上してきました。半導体のロードマップ(ITRS2003)によれば、2010年にCMOSクロックは現在の5倍程度に向上すると予測されています。これまでの傾向が続くと仮定すると、スイッチ容量も2.5Tbps程度に向上すると思われます。

(注3)SFQ(単一磁束量子)回路

超電導リングの中では、磁束は 2.07×10^{-15} Wbを単位に量子化されます。この量子化された磁束の最小単位を単一磁束量子または英語表記でSFQ(Single Flux Quantum)とよびます。SFQ回路は超電導リング中のSFQの有無を”1”,”0”の情報に対応させる回路です。超電導リングに含まれるジョセフソン接合をスイッチさせることにより、SFQの超電導リングへの出入りを制御します。

SFQ素子のスイッチングスピードは、半導体素子の100倍、消費電力は1/1000です。半導体回路は高速化にともなうダイナミックパワーと微細化にともなうリークによるパワーが危機的に増加しており、高速性と低消費電力性を合わせ持つことはSFQ回路の大きなアドバンテージになっています。

(注4) ジョセフソン接合

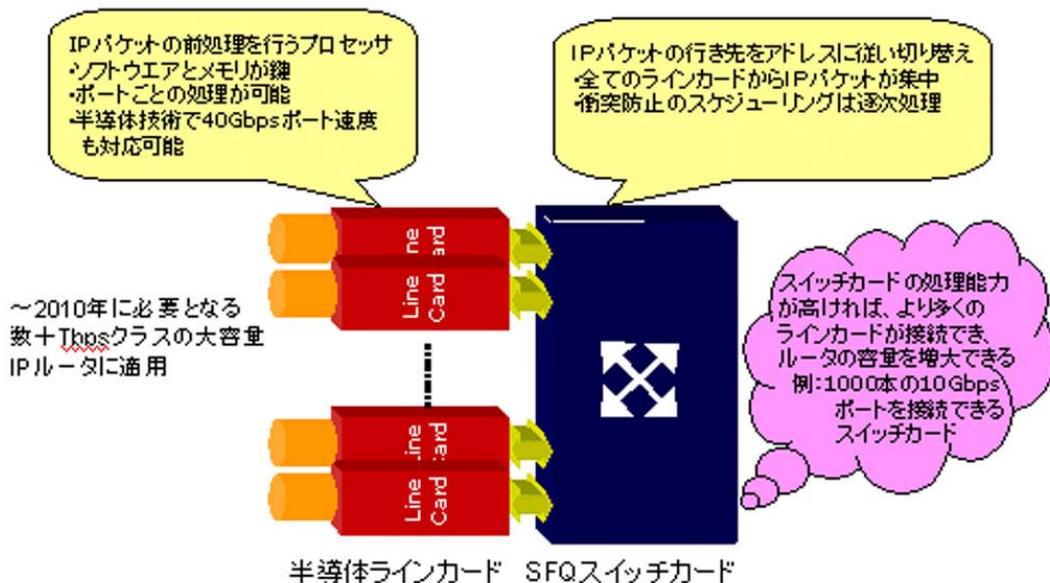
超電導回路におけるスイッチで、半導体のトランジスタに対応します。超電導体同士が弱く結合した構造をしており、臨界電流以上の電流が流れると超電導状態から電圧状態に転移します。

(注5) CONNECTセルライブラリ

本研究ではSFQ回路の設計にゲートや配線をセルと呼ばれる基本単位に分割し、それを2次元に並べることにより回路を構成していく方法を採用しています。セルの大きさや配線の場所があらかじめ決められており、並べるだけで隣のセルとの配線がつながるようになっています。超電導工学研究所、情報通信研究機構、名古屋大学、横浜国立大学が共同で開発して運営しているSFQセルライブラリがCONNECTセルライブラリです。

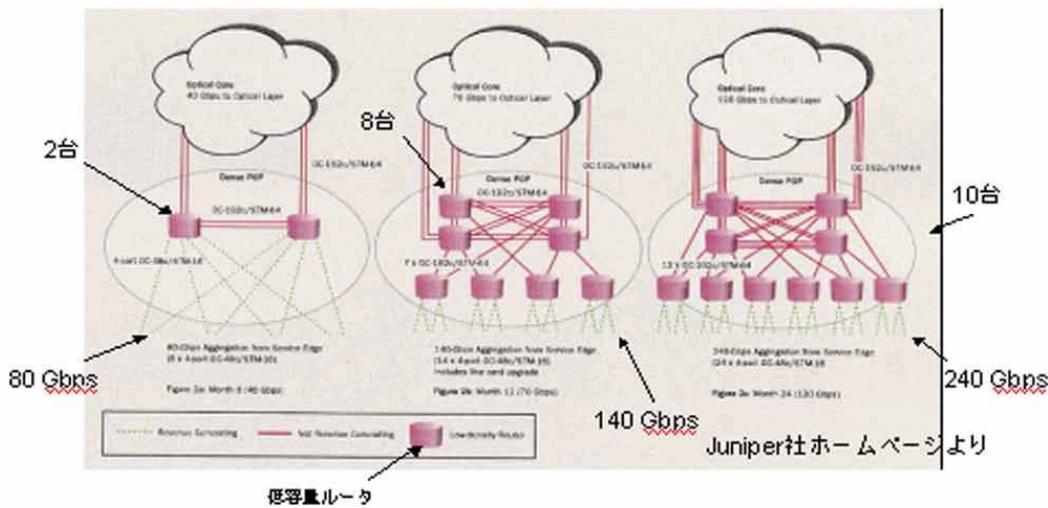
SFQスイッチによるIPルータ大容量化

半導体ラインカードとSFQスイッチカードにより大容量ルータ実現



低容量ルータ並列化による大容量化の問題点

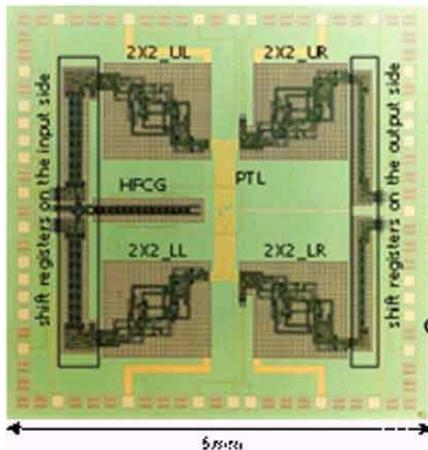
内部接続が必要なためn倍の容量を得るにはn台ではすまない



並列化によりルータのスループットをn倍に高めようとするば、単純にはn²の台数が必要、工夫してもn log nの台数が必要となるため、必要容量が増えるほど大容量ルータの優位性は際立つ

SFQ4×4 (4入力4出力) スイッチ

SFQパケットスイッチ基本回路の160Gbps動作実証



4×4スイッチ、4,200接合、40GHz動作
スイッチ容量160Gbps: Cisco社の最大容量ルータと同等

スイッチ回路は、基本となる2×2スイッチと2×2スイッチを相互に結合する技術があればスケラブルに拡張できる。



4×4スイッチは両方の技術を含んでいる。

成果の技術的背景

- 受動配線(PTL)による2×2ブロック間結合
- 自動配置配線ツールによる2×2ブロックレイアウト
- CONNECTセルライブラリの活用
- “NEC標準プロセス”による試作

ルータの専門家会議HPSRで発表
(IEEE Workshop on High Performance Switching and Routing)

April 18-21, 2004, in Phoenix, Arizona, USA

□頭発表のみ81件(スイッチ12件)