

特集：超電導デジタルデバイス（低温）

「極限的低消費電力動作を可能とする断熱型 QFP 論理回路の研究」

横浜国立大学大学院
工学研究院
教授 吉川信行

近年、スーパーコンピュータやハイエンドサーバなど高性能情報機器の消費電力は急激に増大しており、機器からの発熱がシステム全体の性能を制限するようになってきた。特に、エクサスケールのスーパーコンピュータでは、その総消費電力は 100 MW に達すると予想されており、コスト面でも設備面にも電力供給は限界に達しようとしている。しかしながら、現在の CMOS 集積回路の単純な微細化では、将来の高性能情報機器の消費電力を抑えることは非常に困難であり、低消費電力化を可能とする計算原理自体の抜本的な見直しが必要である。一方、量子計算分野でも極低温で量子フィードバック制御をするために、超低消費電力論理回路の開発が強く望まれている。

計算に必要な最小エネルギーの限界値は、熱力学と情報理論に基づいて古くから議論されており、情報の消去を伴う演算に対して 1 ビットあたり $k_B \ln 2$ となることが Landauer らによって予言されている¹⁾。この限界値についてはこれまでに賛否両論の立場があり、まだ決着には至っていないが、最近、この限界値を支持する実験結果が報告されている²⁾。

我々は、量子磁束パラメトロン (Quantum Flux Palametron; QFP)³⁾ を断熱的に動作させることにより、このビットエネルギー限界に迫ることを目標として研究に取り組んでいる⁴⁾。図 1 は、断熱型 QFP、RSFQ、CMOS 論理回路のビットエネルギーとゲート遅延の比較を示す。RSFQ は、CMOS よりも数倍高速で動作し、消費電力は 3 ケタ程度小さい。しかしながら、RSFQ は計算において非断熱的なエネルギー消費をとまらうため、1 ビットの演算に対して $I_c \Phi_0$ のエネルギーが消費される。ここで、 I_c は Josephson 接合の臨界電流値、 Φ_0 は磁束量子である。一方、断熱型 QFP では、非断熱的なエネルギー消費が起こらない様に QFP をゆっくりと断熱的に動作させる。その結果、図 1 に示すように $k_B \ln 2$ に迫るビットエネルギーの論理演算が可能となる。ゲート遅延は、接合の臨界密度を増して、回路の潜在的スピードを上げることにより改善できる。

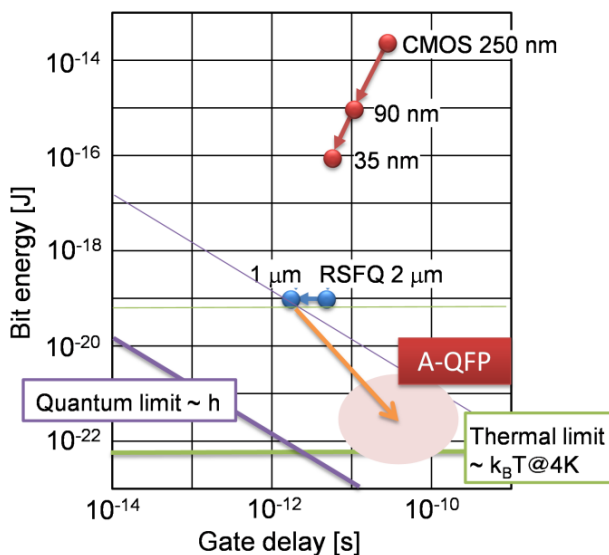


図 1 断熱型 QFP、RSFQ ならびに CMOS 論理回路のビットエネルギーとゲート遅延。

図 2 には、QFP の動作原理を示す。QFP はインダクタンスでシャントされた SQUID 構造をしており、励起電流 (Exciting current) により外部磁界が印加される。この励起電流により、QFP のポテンシャルはシングルウェル型からダブルウェル型に変化する。最初に微小な入力電流 (Input current) を印加しておいて、QFP のポテンシャルをシングルウェル型からダブルウェル型に変化さ

せることにより、状態はダブルウェルポテンシャルの左右の極小値のどちらかに遷移する。これは、左または右の超伝導ループに単一磁束量子が進入することに対応する。その結果、出力インダクタンスには、終状態に対応する向きの出力電流 (I_{out}) が流れる。接合のパラメータを適切に選択すれば、QFP における非断熱的エネルギー消費を無くし、断熱的に動作させることができる⁴⁾。数値計算によれば、十分な動作マージンを維持しながら、QFP のビットエネルギーを 1 zJ まで低減することが可能である。また、モンテカルロ法を持ちいた数値計算により、4.2 K の動作に対して十分な動作マージンが得られることを示した⁵⁾。

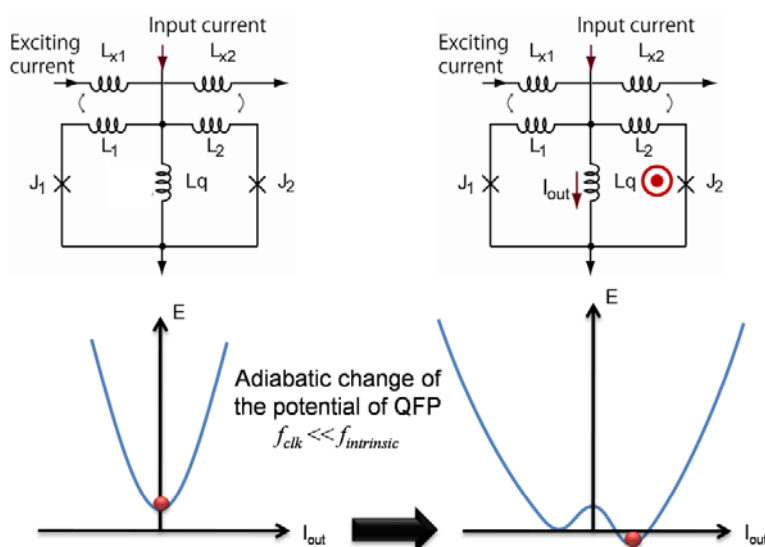


図2 断熱型 QFP の動作原理

図3には、断熱型 QFP を用いた 1 ビット全加算器の回路図と顕微鏡写真を示す。接合数は 46 接合であり、RSFQ 回路を用いた場合に比べて接合数を約 4 分の 1 に低減できた。また、低速の測定において回路の正常動作を確認し、励起電流の動作マージンとして $\pm 26.1\%$ を得た⁶⁾。

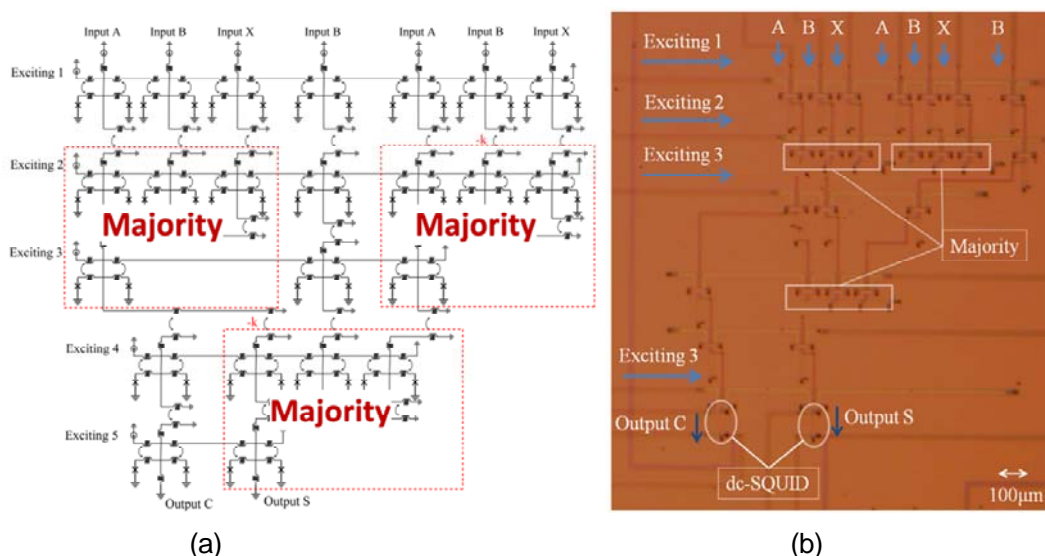


図3 断熱型 QFP を用いた全加算器の(a)回路図と(b)顕微鏡写真。
回路は ISTE C 標準 2 プロセス(STP2)を用いて試作した。

参考文献：

1. R. Landauer, IBM J. Res. Develop. 5, 183 (1961).
2. A. Béruit, A. Arakelyan, A. Petrosyan, S. Ciliberto, R. Dillenschneider, and E. Lutz, Nature, 483, 187 (2012).
3. M. Hosoya, W. Hioe, J. Casas, R. Kamikawai, Y. Harada, Y. Wada, H. Nakane, R. Suda, and E. Goto, IEEE Trans. Appl. Supercond. 1, 77–89, (1991).
4. N. Yoshikawa, D. Ozawa, Y. Yamanashi, Extended Abstracts of the 2011 International Conference on Solid State Devices and Materials, September 2011, Nagoya, Japan.
5. N. Takeuchi, K. Ehara, K. Inoue, Y. Yamanashi and N. Yoshikawa, Applied Superconductivity Conference 2012, October 2012, Portland, USA.
6. K. Inoue, K. Ehara, N. Takeuchi, Y. Yamanashi and N. Yoshikawa, Applied Superconductivity Conference 2012, October 2012, Portland, USA.

[超電導 Web21 トップページ](#)